

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-190980

(43) 公開日 平成5年(1993)7月30日

(51) Int. Cl. ⁵
H01S 3/18

識別記号

庁内整理番号
9170-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1 (全3頁)

(21) 出願番号 特願平4-25735

(22) 出願日 平成4年(1992)1月14日

(71) 出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72) 発明者 岩井 則広

東京都千代田区丸の内2丁目6番1号 古

河電気工業株式会社内

(72) 発明者 粕川 秋彦

東京都千代田区丸の内2丁目6番1号 古

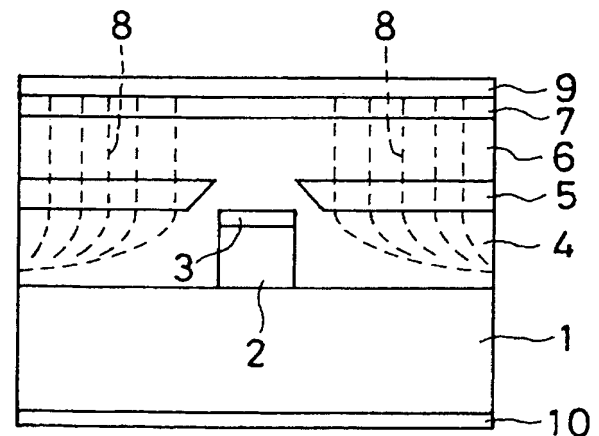
河電気工業株式会社内

(54) 【発明の名称】 半導体レーザ素子

(57) 【要約】

【目的】 製作歩留まりがよく、信頼性が向上した高速型半導体レーザ素子を提供する。

【構成】 活性層3の両側をpn接合を有する電流狭窄半導体層4、5で埋め込んだ半導体レーザ素子において、イオン注入により電流狭窄半導体層4、5の電気抵抗を高くする。



【特許請求の範囲】

【請求項1】 活性層の両側をpn接合を有する電流狭窄半導体層で埋め込んだ半導体レーザ素子において、電流狭窄半導体層はイオン注入により高電気抵抗化されていることを特徴とする半導体レーザ素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高速型半導体レーザ素子に関する。

【0002】

【従来技術】 pn接合を有する電流狭窄半導体層で活性層の両側を埋め込んだ高速型半導体レーザ素子では、変調周波数を高めるためにpn接合の空乏層容量を低減する必要がある。従来の高速型半導体レーザ素子は、例えば図3に示すように、埋め込み型構造に溝を設けて容量を低減している。図中、1はn-InP基板、2はn-InPクラッド層、3はInGaAsP活性層、4はp-InPブロッキング層、5はn-InPブロッキング層、6はp-InPクラッド層、7はp-InGaAsコンタクト層、9はTi/Pt/Au電極、10はAu-Ge/Mo/Au電極、11はSiO₂膜、12は溝である。この素子は、例えば図4に示すような工程で製作される。即ち、

1) 先ず、LPEまたはMOCVD法により、通常のpn逆接合を利用した埋め込み型半導体レーザ素子を製作する。その後、スパッタリングによりSiO₂膜11を形成し、フォトリソグラフィおよびケミカルエッチングにより、幅20μmの窓13を2個所にストライプ状にあける(図4(a))。

2) 次いで、SiO₂膜11をマスクとして、ケミカルエッチングによりn-InPクラッド層2まで溝12を彫り、その後、SiO₂膜11を除去する(図4(b))。

3) 次いで再び、プラズマCVDによりSiO₂膜11を溝12の中を含む全面に積層し、その後、フォトリソグラフィおよびケミカルエッチングにより、活性層3上に電流注入用の窓14をあける(図4(c))。

4) 次いで、Ti/Pt/Au電極9およびAu-Ge/Mo/Au電極10を形成して、チップとする。

【0003】

【発明が解決しようとする課題】 上述の高速型半導体レーザ素子には、次のような問題があった。即ち、

1) 溝の作成工程が複雑であり、また、溝があるために、活性層で発生した熱の逃げが悪い。

2) パシベーション用のSiO₂膜と半導体層との歪み差などにより、素子の製作歩留まりおよび寿命が低下する。

【0004】

【課題を解決するための手段】 本発明は上記問題点を解決した半導体レーザ素子を提供するもので、活性層の両

側をpn接合を有する電流狭窄半導体層で埋め込んだ半導体レーザ素子において、電流狭窄半導体層はイオン注入により高電気抵抗化されていることを特徴とするものである。

【0005】

【作用】 半導体層にイオンを注入すると、半導体層の電気抵抗は高くなることが知られている。そこで、上述のように、pn接合を有する電流狭窄半導体層にイオン注入を行うと、その部分の電気抵抗は高くなり、pn接合部の面積は小さくなって、pn接合の空乏層容量を低減させることができる。その結果、電流狭窄半導体層に溝を設けることなく、半導体レーザ素子を高速化させることができる。

【0006】

【実施例】 以下、図面に示した実施例に基づいて本発明を詳細に説明する。図1は本発明にかかる半導体レーザ素子の一実施例の断面図である。図中、1はn-InP基板、2はn-InPクラッド層、3はInGaAsP活性層、4はp-InPブロッキング層、5はn-InPブロッキング層、6はp-InPクラッド層、7はp-InGaAsコンタクト層、9はTi/Pt/Au電極、10はAu-Ge/Mo/Au電極である。本実施例の製作方法を図2を用いて以下に説明する。即ち、

1) 先ず、LPEまたはMOCVD法により、通常のpn逆接合を利用した埋め込み型半導体レーザ素子を製作する。次いで、スパッタリングによりSiO₂膜11を全面に形成した後、フォトリソグラフィおよびケミカルエッチングにより、活性層3上に幅15~20μmのストライプ状のSiO₂膜11を形成する(図2(a))。

2) 次に、SiO₂膜11をマスクとして、O⁺イオンを基板1に達するぐらいに注入し、高電気抵抗領域8(点線部分)を形成する(図2(b))。

3) 次いで、SiO₂膜11のマスクを除去し、Ti/Pt/Au電極9およびAu-Ge/Mo/Au電極10を形成して、チップとする。このような構造では、活性層を含む幅15~20μmの領域以外の部分は、電気的に高抵抗になり、p-InPブロッキング層4とn-InPブロッキング層5により形成されるpn逆接合部の電気容量は減少する。このようにして製作された本実施例の変調周波数の上限は3GHzであり、従来の溝付の場合の500MHzよりも向上した。なお、イオン注入のマスクはSiO₂膜とは限らず、レジストでもよく、イオン種はO⁺とは限らず、H⁺、Arなどを用いてもよい。また、本発明は、埋め込み型構造とは限らず、pn接合により電流狭窄を行う構造に適用できることは言うまでもない。さらに、基板はn型基板とは限らず、p型基板でもよく、活性層はバルクのInGaAsPとは限らず、量子井戸もしくは歪み量子井戸構造でもよい。

10

20

30

40

50

【0007】

【発明の効果】以上説明したように本発明によれば、活性層の両側をpn接合を有する電流狭窄半導体層で埋め込んだ半導体レーザ素子において、電流狭窄半導体層はイオン注入により高電気抵抗化されているため、製作歩留まりと信頼性が向上した高速型半導体レーザ素子が得られるという優れた効果がある。

【図面の簡単な説明】

【図1】本発明に係る半導体レーザ素子の一実施例の断面図である。

【図2】(a)と(b)は上記実施例の製作工程説明図である。

【図3】従来の半導体レーザ素子の断面図である。

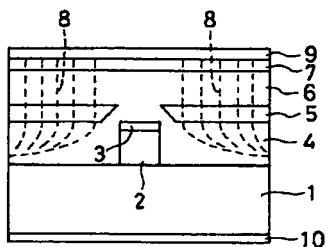
【図4】(a)～(c)は上記半導体レーザ素子の製作

工程説明図である。

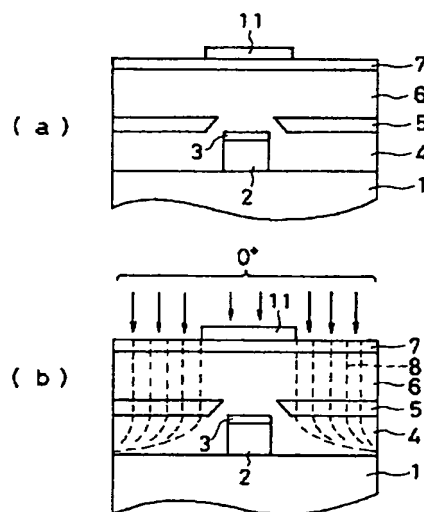
【符号の説明】

- | | |
|-------|--------------------|
| 1 | n-InP基板 |
| 2 | n-InPクラッド層 |
| 3 | InGaAsP活性層 |
| 4 | p-InPブロッキング層 |
| 5 | n-InPブロッキング層 |
| 6 | p-InPクラッド層 |
| 7 | コンタクト層 |
| 10 | 高電気抵抗領域 |
| 9、10 | 電極 |
| 11 | SiO ₂ 膜 |
| 12 | 溝 |
| 13、14 | 窓 |

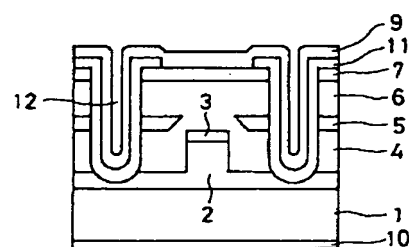
【図1】



【図2】



【図3】



【図4】

